

INTEGRATED ELECTRONICS AND DESIGN

集成电子学及其设计

笔记? 知识点整理 WEEK1-WEEK3

这三周其实概念颇多，下马威了属于是。

Week1 Introduction

本来以为第1周的那些也就是些行业废话，但没想到根据老师给的MCQ模板来看可能还会出点题目，那还是稍微提一些知识点吧：

1.1 各类年份

不管站在什么角度想，考这种东西是真的没啥意义。但把它们列出来也不费什么时间……那就看看吧，也安心。

// 来自 PPT //

1940's: Vacuum tube era [真空管时代]

Vacuum tube [真空管] 早期电路元件

昂贵、笨重、脆弱、耗能高

[expensive, bulky, fragile, and energy hungry]

1946: First electronic computer: ENIAC

1947: First transistor [晶体管]

Transistor [晶体管]

现在也常常代指三极管(比如翻译软件)但其实是一类统称¹

这里强调统称原意。因为从真空管到晶体管，载体改变了。

1956: Get Nobel Prize ↑

1950: First Si BJT bipolar junction transistor (BJT)

Bipolar [有两极的]

双极型晶体管,也就是三极管.

1954: First commercial Si BJT (商业 BJT)

1958: 1st Integrated Circuit IC in germanium [锗]

1959: First Monolithic IC, planar technology

Planar Technology [平面工艺]

Assignment task 3 的过程。

1964: Fairchild Semiconductor digital (DTL) IC

1971: first microprocessor

¹ “晶体管是指用硅和锗材料做成的半导体元器件，研制人员在为这种器件命名时，因其电阻变换特性，取名为 trans-resistor(转换电阻)，后来缩写为 transistor，中文译名就是晶体管。

1997: Pentium II processor

2001: Pentium IV processor

2002: Pentium IV processor

2009: Intel Core™ i7 processor

2009: Intel shows 22nm processor technology

这些能考我倒立考试

1.2 Moore's law 摩尔定律

“Density of IC devices is doubling with each new generation”

Gordon Moore (co-founder of Intel) in 1965

Number of transistors on a chip doubled every 18 to 24 months.

IC 上可容纳的晶体管数目，每隔 18~24 个月便会增加一倍。(价格不变)

这玩意儿被称为计算机第一定律，是对整个行业发展的一种经验总结。

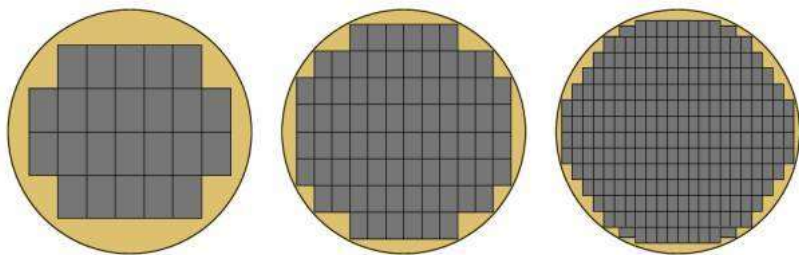
数目越大意味着晶体管它的尺寸就越小。此时晶体管就更便宜，也更高效。

工艺尺寸：通常指 2λ (2D)，比如作业里就是 $2\lambda=7\text{nm}$ ，2017 年的技术。

1.3 Yield 良率

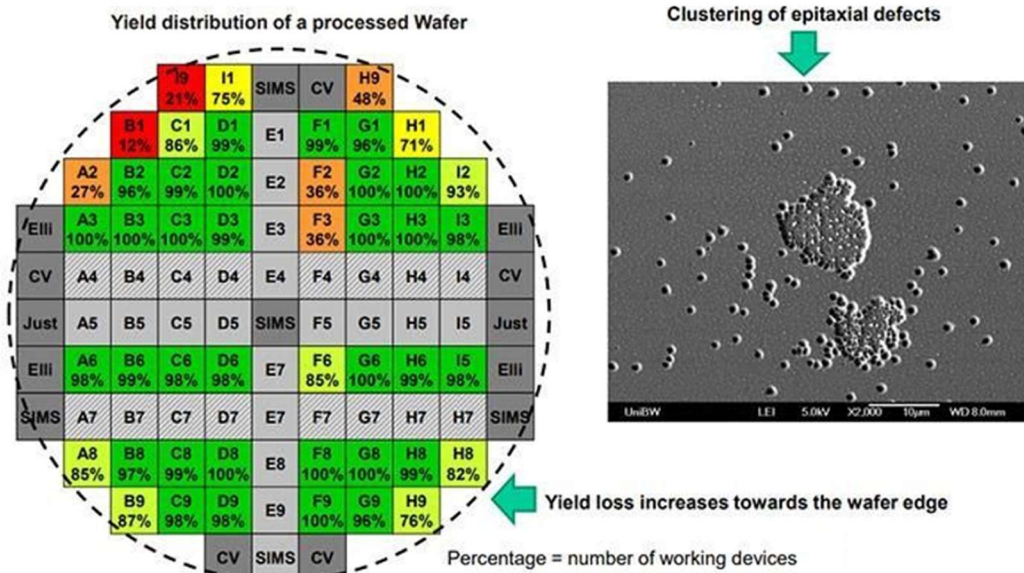
Die 芯片，Wafer 晶圆，Yield 良率

芯片制造一般在一整片圆的大大单晶硅片(晶圆)上批量制作的。



可见，芯片越小，对晶圆的利用率就越高

单晶硅对纯度的要求很高，然而人类在制造单晶硅的时候，又不可避免的会有一些杂质掺杂其中。因此在一整片晶圆中有部分地方它是有问题的。在这之上的芯片就会出事，就不能用了。



出事儿的芯片不少.JPG

此时良率这个概念就登场了，（其实这玩意翻译成中文我相信你看到就知道是什么意思了）它计算的就是单个晶圆所生产的所有芯片里合格芯片的比例：

$$\text{Die Yield} = \frac{\text{no. good dies}}{\text{no. dies}} \times 100\% \quad (\text{per wafer})$$

在此之上我们就可以计算单个芯片的(晶圆)成本了：

$$\text{Die cost} = \frac{\text{Wafer cost}}{\text{no. dies} \times \text{Die Yield}}$$

说白了就是一个晶圆产出多少个合格的芯片，就把整个晶圆的成本除以这个数量，平摊到每个芯片上。

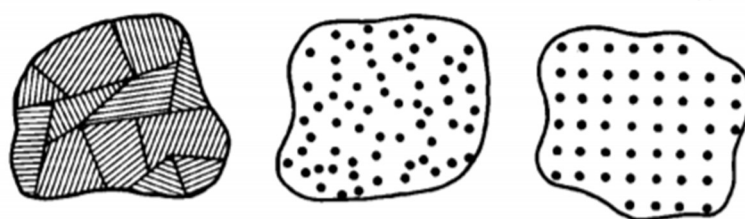
Week2 Semiconductor Fundamentals I

原子层面的物理基础。（高中化学部分不再赘述）

2.1 crystal 晶体

简单来说，原子分子离子等（周期性）规则排列形成的物质形态，就是 crystal [晶体]。

规则排列也有非周期性的，比如彭罗斯镶嵌。



Polycrystalline

amorphous

crystalline

多晶体

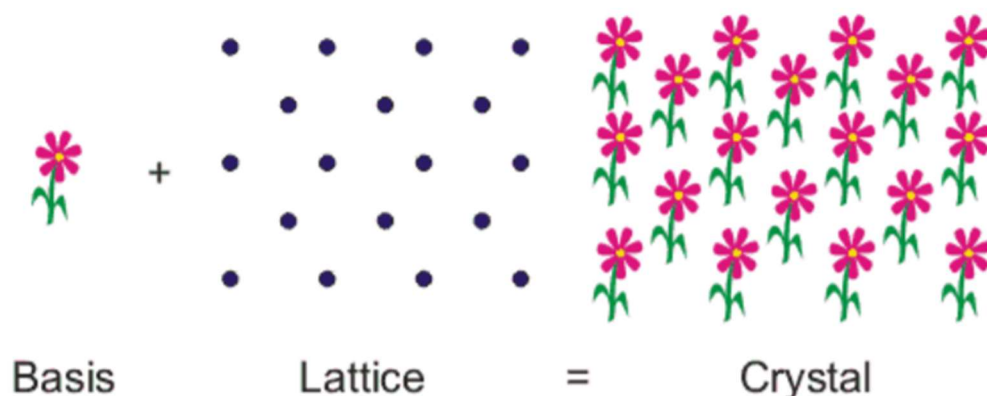
非晶体

单晶体

作为疯狂复制黏贴平移就能生成的晶体，其描述也因此能够高度简化与抽象。

基本构成

Lattice 晶格，Basis 基元，Unit Cell 晶胞



PPT 中这张图非常形象地展示了基元和晶格的关系。

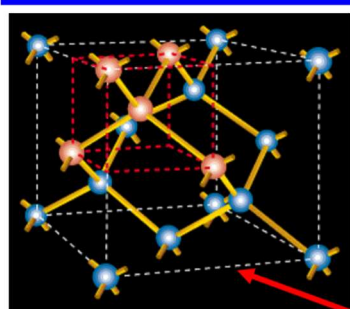
Basis 基元：晶体里有什么？有 Basis.

Lattice 晶格：晶体里的东西怎么排列？Lattice 这样排列。

Unit Cell 晶胞，则是在各种晶格排列中最小的基本单元。

The Si Crystal: Unit Cell

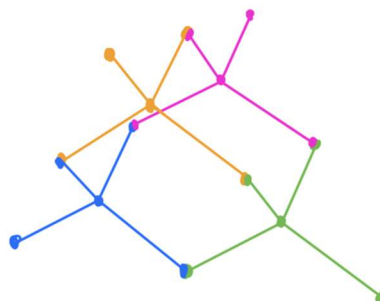
标个颜色：



“diamond cubic” lattice



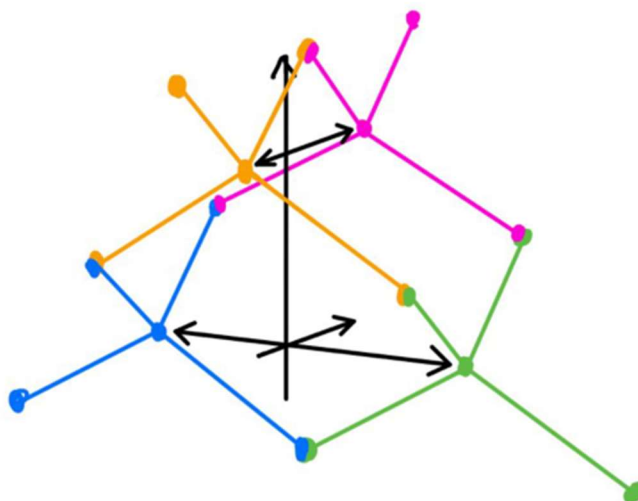
- Each Si atom has **4** nearest neighbors
- **Lattice Constant**
= 5.431 Å
= 0.5431 nm



橙紫蓝绿，4个晶胞。

但是，我们为什么不使用 Unit cell 作为硅晶体的表示，还要使用图中更大的“diamond cubic” lattice 呢？

因为单纯的用 Unit cell 并不能体现出晶体的全部空间排列性质：



这张图是三维的！

“diamond cubic” 中 Unit cells 的空间关系

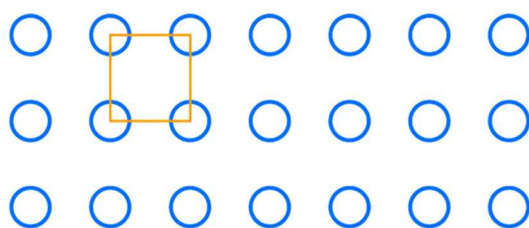
可见，在“diamond cubic”中，上下两层 unit cells 各自平移的方向并不一样，是相互垂直的。

如果单纯的用 unit cell 作为平移表示，势必会缺失这样的信息。

所以每每提及金刚石，硅晶体，“diamond cubic”才是能展示出全部信息，又足够小的最佳 lattice。

atomic density 计算原子密度

拿平面举个例子:



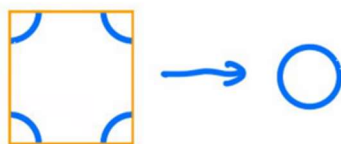
假设黄色框框是我们的 lattice, 怎么算这个晶体的 atomic density [原子密度]?

首先, 搞清楚什么是原子密度。

原子密度表示原子在空间中分布的密集程度, 计算方法:

在体积为 M 的空间内有 N 个原子, 那么其原子密度为 N/M .

在这个平面的例子中, 体积变成了面积。为方便计算, 我们一般将体积/面积限制在一个 lattice, 那如何计算一个 lattice 里有几个原子呢?



4 个角落的 $1/4$ 个原子拼成了一个原子

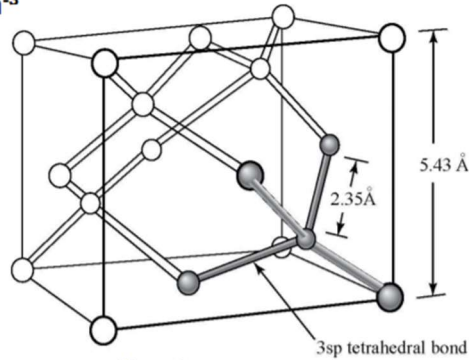
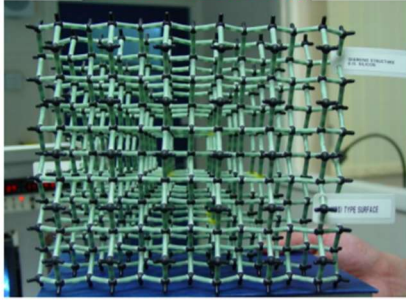
那么, 原子密度 = $1 / \text{lattice 面积}$ 。

为什么会这样? 因为 lattice 非常无情, 它只代表你的原子会如何排列, 而并不保证原子不会被分割。

事实上, 原子几乎必须被分割, 利用周期性分布的特性, 前面的和后面的, 上面的和下面的, 左边的和右边的, 四周角落里的, 通通切开, 平移后再拼合成完整的原子。

空间中同理, 立方体角落上的原子只有 $1/8$, 立方体边缘线上的只有 $1/4$, 在面上的只有 $1/2$, 只有在里面的才是完整的 1.

● **Si atomic density: $5 \times 10^{22} \text{ cm}^{-3}$**



$$\frac{\# \text{Atoms}}{\text{Volume}} = \frac{8 \times 1/8 + 6 \times 1/2 + 4}{a_0^3} = \frac{8}{(5.43 \times 10^{-8} \text{ cm})^3} = 5 \times 10^{22} \text{ cm}^{-3}$$

HW-1

33

所以硅的原子密度是这样计算的

Miller Indices 米勒指数

由于晶体是原子以某种规律周期性排列形成的结构，假设我们任取两个原子，两点决定一条直线，我们将这个线无限延伸出去，由于晶体的周期性，这个线上会有无数的原子，称为晶列。这样一条晶列定义了晶体中的某个方向，被称为 Crystal direction [晶向]

假设我们任取三个不共线的原子，这三个点决定了一个面，同样，这个面上也会有无数的原子。这样的面，我们就称之为 Crystal plane [晶面]

而每一个晶向，晶面，都会有无数个平行的，等效的晶向和晶面，我们可以将它们统称起来，叫 equivalent directions [晶列簇] 和 equivalent planes [晶向簇].

选取某一个原子作为原坐标，我们就可以找到并描述每一个晶向和晶面。晶向非常方便，用从原点到终点的坐标表示成向量就好了。

如何描述晶面呢？此时，Miller Indices[米勒指数]就登场了。它使用晶面在坐标轴上的截距的倒数（并化到最简），h(x轴) k(y轴) l(z轴)作为参数。如果这个面过原点截距为0，平移一下产生截距就好了，重点在于朝向而不是位置。

这样做的好处是，如果某个晶面和某个坐标轴平行，此时截距会无穷大，而使用倒数， $1/\text{无穷大}=0$ ，这样就巧妙避开了无穷大的存在。

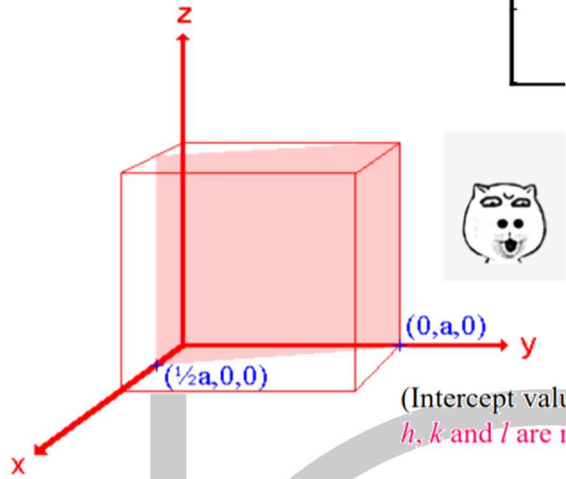
如果截距为负，就像逻辑门一样： $-n = \bar{n}$

Assignment:

Intercepts: $\frac{1}{2}a, a, \infty$

Fractional intercepts: $\frac{1}{2}, 1, \infty$

Miller Indices: (210)



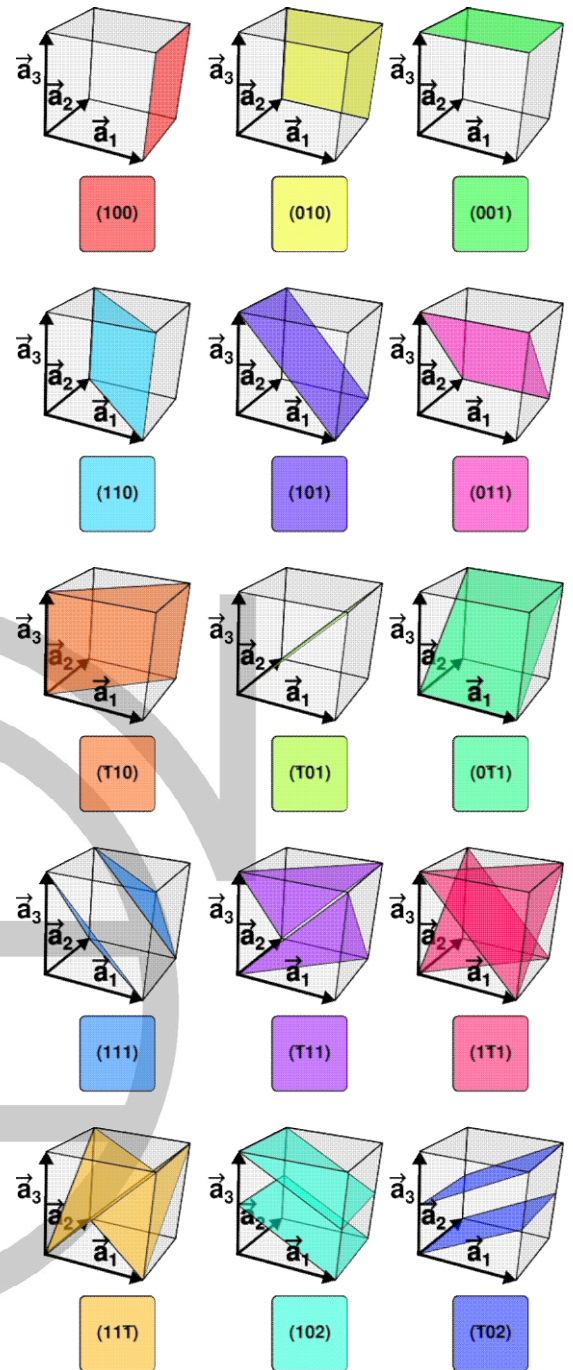
(Intercept val
 h, k and l are 1

PPT 上的计算↑

一些晶面典型案例→

晶面和晶向等表示总结:

| | |
|-----------------------|-----------------------|
| (hkl) | crystal plane |
| $\{hkl\}$ | equivalent planes |
| $[hkl]$ | crystal direction |
| $\langle hkl \rangle$ | equivalent directions |



晶体部分参考:

[1] <https://zhuanlan.zhihu.com/p/24242535>

[2] 《固体物理学》(黄昆)

*但都和我们课上的表达稍微有点区别。

2.2 从原子到能带

重头戏来哩，高中化学部分不再赘述。

Bohr model 玻尔模型

这玩意儿我记得好像是物理选修讲的，部分细节还是值得一说。

布尔模型是量子理论的前戏，具有分立的电子轨道和不连续的能量等级。

首先原子有许多电子层，电子层 KLN M (1234) ...

[能级]

每个电子层有许多亚层，spdf...

而每个亚层又可以具有多个电子轨道，s有1个，p有3个，d有5个...

由于泡利不相容原理，每个电子轨道最多只能存在两个电子(自旋相反)。

Pauli exclusion [泡利不相容]

在费米子(比如电子)组成的系统中不能有粒子处于完全相同的状态。

同电子层中，越复杂的，电子轨道越多的亚层能量越高。由于我们似乎不考虑能级交错现象，所以判断在轨电子能量高低先看电子层数，再看电子亚层即可，亚层内不同轨道的能量差异暂且不考虑。

能级交错

指电子层数较大的某些轨道的能量反而低于电子层数较小的某些轨道的能量的现象。

单个电子而言，电子能量状态就只能在这些轨道间跃迁，不存在其他的能量状态。也就是说，电子只能在可以存在的[能级]之间跃迁。

Energy Level Splitting 能级分裂

已知两个事实：

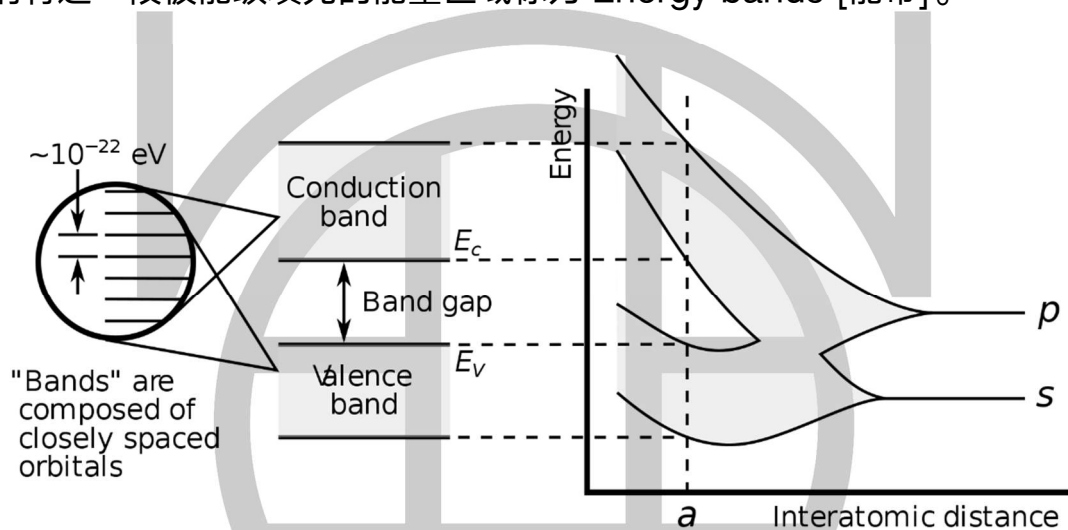
1 在晶体中，比如硅晶体，由于原子排列地如此靠近且规则，以至于原子之间会对核外电子产生扰动，乃至电子层交叠，各个原子的电子难分彼此（共有化）。

2 由于泡利不相容，不会有电子处于完全相同的状态。

基于以上两个事实，在晶体中，由于共有化，不同原子的电子轨道将难以区分。因此，同样一个轨道上会突然出现大量相同状态的电子，由于泡利不相容，天然地，轨道会互相扰动，就像在山顶撒一堆球滚向四面八方，自发分裂形成大量不同的能级供电子存在，以免违反泡利不相容原理，这就是 Energy Level Splitting [能级分裂]

Energy bands 能带

当能级分裂发生，在一段能量区间里便会被大量的能级填充。由于各能级之间的差异是那么微小，就像大量微小像素可以表示渐变色一样，我们将这一段被能级填充的能量区域称为 Energy bands [能带]。



能带中的大量能级

能带

能级/能带随原子间距变化

Conduction band [导带] 自由电子存在的能带

Valence band [价带] 价电子存在的能带

band gap [禁带] 介于导带和价带之间，没有电子存在的能量区域

E_c : bottom edge of the conduction band 导带底

E_v : top edge of the valence band 价电顶

E_g : band gap energy 禁带宽度

能带部分参考: [2] 《固体物理学》(黄昆)

Week3 Semiconductor Fundamentals II

3.1 能带

Conduction band and Valence band 导带和价带

都是重要的概念，部分名词 week2 已引入。

为了让这些概念能够连为一体，我打算加入一些老师简化掉的细节：

杂化和键态

先说杂化。如果高中学过物质结构基础的话应该知道这个东西。不过我们浙江那一年是没有学，所以还是讲一下。

不需要深入了解，简单来说，杂化就是当最外层电子在参与成键的时候，不同亚层的电子会因为相互影响形成一个新的，不同于原来任何一个亚层的，专门用来成键的轨道。比如硅原子形成硅分子的时候，最外层的 2 个 S 亚层和 2 个 P 亚层的电子会一起融合形成 4 个 SP³ 杂化轨道。

再说键态，还拿那硅分子举例子。

虽说那 SP³ 杂化轨道按理应是 4 个一模一样的亲兄弟，但是由于微观世界那琢磨不定的量子性质，他们成键的时候依然会有两种可能的状态：一个叫成键态，一个叫反键态。其中，成键态能量低；反键态能量高。

来点感觉：成键态：(>>) 两边对上了，卡的严丝合缝，能量就低了。

(><) 这波是针尖对麦芒，很不稳定，能量很高。

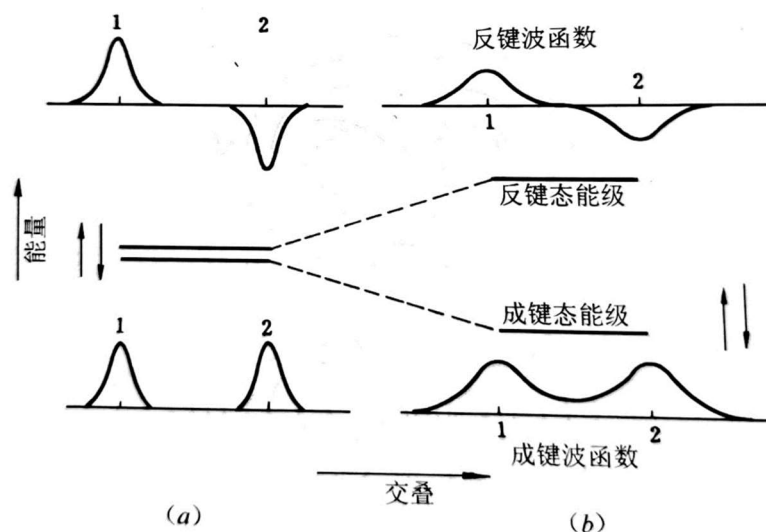


图 2-3 成键态和反键态

杂化和键态可以帮助我们更好的理解导带和价带的产生和区别：

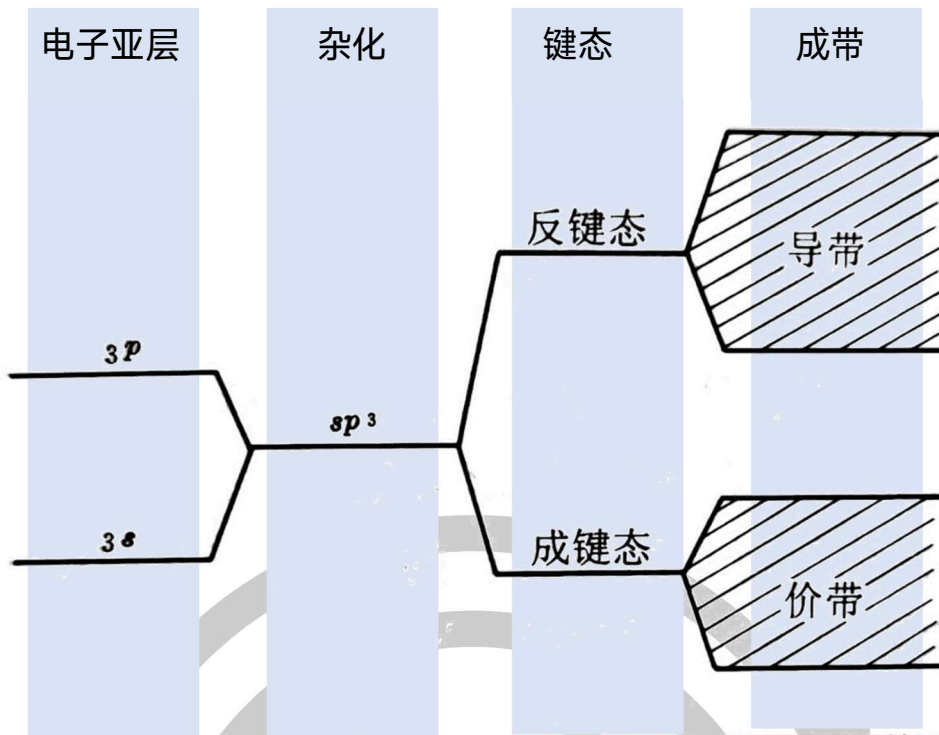


图 4 - 30 硅能带中成键态与价带及键态与导带之间的对应

由于价带能量低，所以电子都是倾向于处于价带的，也就是成键态所形成的能带。但是温度会给电子随机地带来一些能量，由于半导体的禁带宽度没有那么宽，因此会有不少电子跑到导带上去，形成电子空穴对。

有些同学简单地把导带和价带理解为 P 轨道和 S 轨道生成的能带，现在从这张图就可以看出来是不对的。事实上，它们都带有 S 轨道和 P 轨道的成分

Fermi level 费米能级

这是一个 360 度回旋超级大无敌重要的概念。但其重要性主要还是在它的应用和计算上很重要，而不是因为它的定义。事实上，他的定义还蛮复杂的，偏应用的话也是一件好事。但不管怎么样定义还是要理解的。而且如果能好好的理解它将大有裨益。

一般来说，费米能级的定义是：

当材料处于绝对 0 度时，电子所能处于的最高能级。

不过老师课上 (PPT) 所给出的定义是: 电子占据概率为 0.5 的能级。

$$F(E) \approx e^{-(E-E_F)/kT}$$

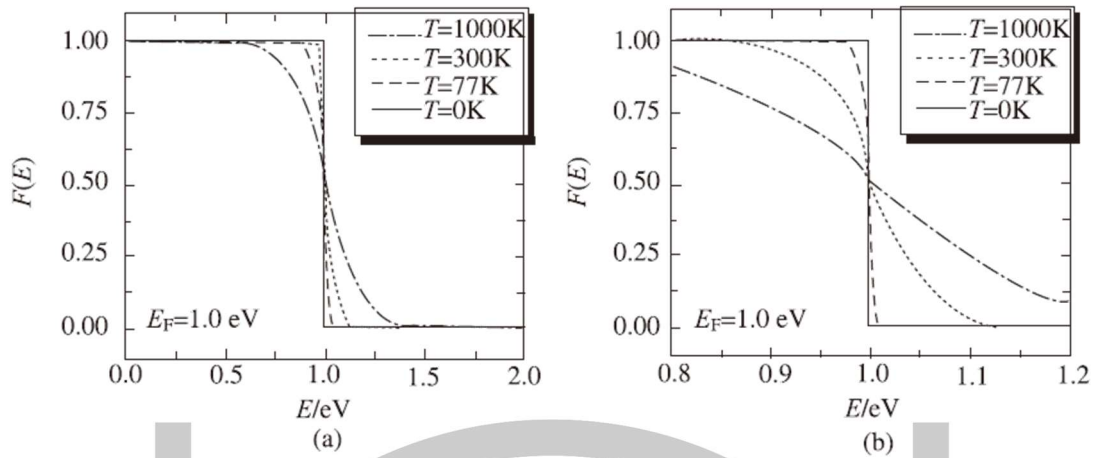


Figure 2.5.2 Fermi function for (a, b) different temperatures (for $E_F = 1.0$ eV) [11].

思考这个定义, 一些细心的同学可能会产生一个疑惑: 电子占据费米能级的概率是 0.5, 而费米能级又在禁带中, 而禁带中又不允许有电子存在, 那不就自相矛盾了吗?

说实话这个问题藏的蛮深的, 是一个容易被忽略的因果倒置:

首先, 费米能级这个 0.5 由 Fermi-Dirac function [费米-狄拉克分布] 计算得到, 这个分布本身没有什么问题。

的近似

但是要注意, PPT 上给对这个分布的描述是:

Probability that a state at energy level, E , is occupied by one electron is Fermi-Dirac function

(若有) 一个能级 E , (则其) 被一个电子占据的概率由费米-狄拉克分布描述

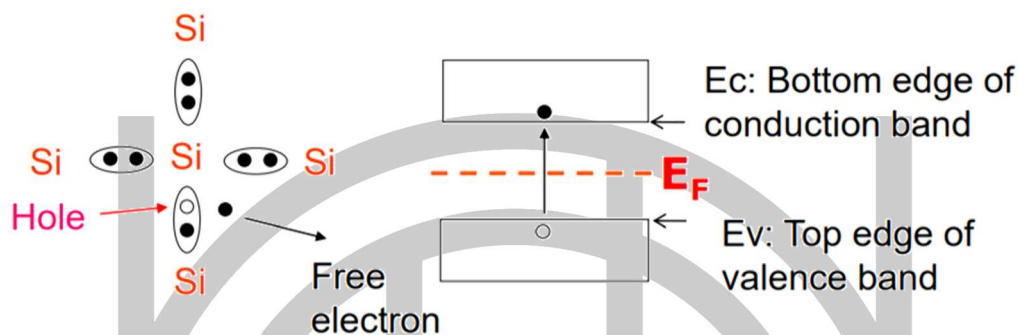
括号里在一般翻译时被隐去的逻辑关系很重要, 实际上, 这个分布并不关心有没有能级, 也不关心有没有电子, 它只是描述了能级及其被电子占据概率的关系。但是前提条件是你得先有一个能级, 才能够被电子所占据。一般半导体中费米能级处于禁带, 而禁带内部是没有能级的, 所

以也不可能被占据，也就和老师所说的定义不冲突了。我们甚至可以看到，前后所说的两个定义实际上是一致的。（看那张图）

最后，像硅这种没有参杂过的本征半导体有一个非常好的性质，那就是其费米能级位于禁带中央。

Carrier Concentrations 载流子浓度

本征半导体的载流子由热运动所产生的电子空穴对组成。



因此，本征半导体中的电子和空穴浓度相等，都为 n_i ，公式为：

$$n_i = BT^{\frac{3}{2}} e^{-\frac{E_g}{2KT}} \quad (B = 5.2 \times 10^{15})$$

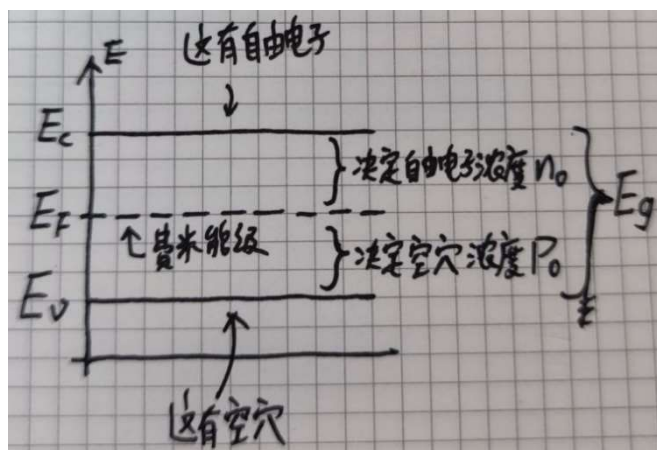
此处推导和解释我偷个懒就拿上学期的笔记复制粘贴一下了：

前面， $BT^{\frac{3}{2}}$ 连起来其实是一个被称为“导带有效状态密度”的函数，和温度有关。不同的材料在不同的温度下会有不同的值

后面 $e^{-\frac{E_g}{2KT}}$ 其实是把导带电子热平衡浓度的 $e^{-\frac{E_c - E_F}{KT}}$ 和价带空穴热平衡浓度的 $e^{-\frac{E_F - E_v}{KT}}$ 二者合

$$\text{---: } \frac{E_c - E_F}{KT} = \frac{E_F - E_v}{KT} = \frac{E_c - E_v}{2KT} = \frac{E_g}{2KT}$$

热平衡：半导体的载流子因热运动而生，在没有外界物理影响的情况下会达到一个稳定的状态(指浓度不变)，此时叫热平衡。

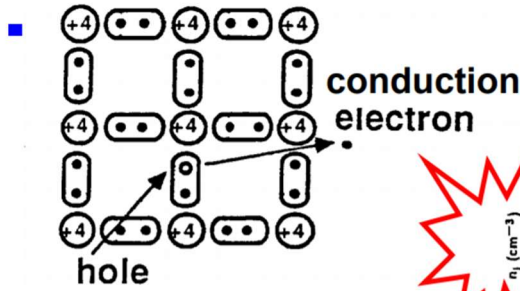


因为在本征半导体中这两能量差相等，所以就相加再除2了。其实算出来是一样的。

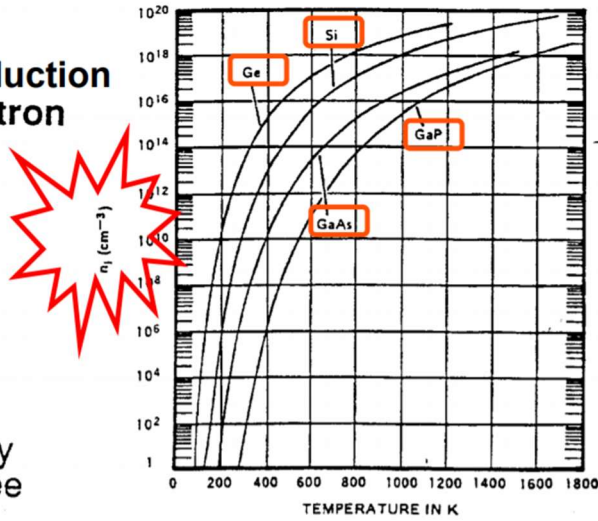
前后合一就可以算出本征半导体在某温度下的载流子浓度啦~

Pure Si

$$n_i = 5.2 \times 10^{15} T^{3/2} \exp \frac{-E_g}{2kT} \text{ electrons/cm}^3$$



Covalent (shared e^-) bonds exist between Si atoms in a crystal. Since the e^- are loosely bound, some will be free at any T , creating hole electron pairs.



$$\text{Si: } n_i = 3.9 \times 10^{16} T^{3/2} e^{-\frac{0.605\text{eV}}{kT}} / \text{cm}^3$$

p.75

$n_i \approx 1 \times 10^{10} \text{ cm}^{-3}$ at room temperature

可见，这个公式材料而异 (其中硅的函数和常温值在右下角)

Doping 掺杂

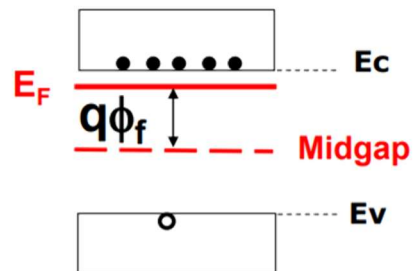
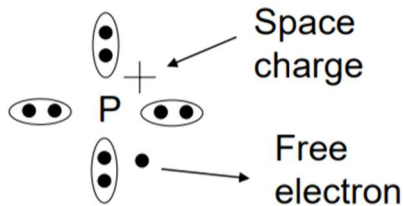
从刚刚开始就梦回 109 了属于是。看看掺杂吧，不过是在能级视角下。

掺杂会导致材料的性质发生变化，费米能级产生位移(能量增减)，其幅度 Fermi potential [费米电压]则可以衡量掺杂的强度。

对于 N-Type 掺杂，杂质额外引入了自由电子，电子能量相应拔高，费米能级上升：

● Fermi potential: ϕ_f

➢ How 'strong' the n-type is



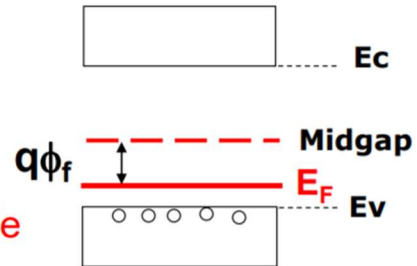
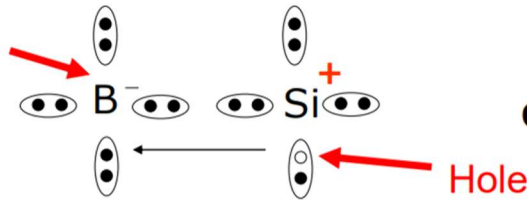
费米能级 upup

对于 P-Type 掺杂，杂质额外引入了空穴（减少了电子），电子能量相应减弱，费米能级下降：

- **Fermi potential: ϕ_f**

➤ How '**strong**' the p-type is

Immobile ion: N_A^-
ionized acceptor



费米能级变迹

但是不管怎么掺杂，反正记住我们上学期学的那几个公式：

(热平衡条件下)

$$np = n_i^2$$

多子浓度 $n/p \approx$ 掺杂浓度 N_D/N_A

……等等

- Under **thermal equilibrium conditions**, the product of the **conduction-electron density** and the **hole density** is ALWAYS equal to the **square of n_i** :

★ $np = n_i^2 = (10^{10})^2/\text{cm}^3$ at RT

P-type material at RT

$$p \approx N_A$$

$$n \approx \frac{n_i^2}{N_A}$$

Example: at RT

$$N_A = 10^{15}/\text{cm}^3$$

$$p = 10^{15}/\text{cm}^3$$

$$N_A^- = 10^{15}/\text{cm}^3$$

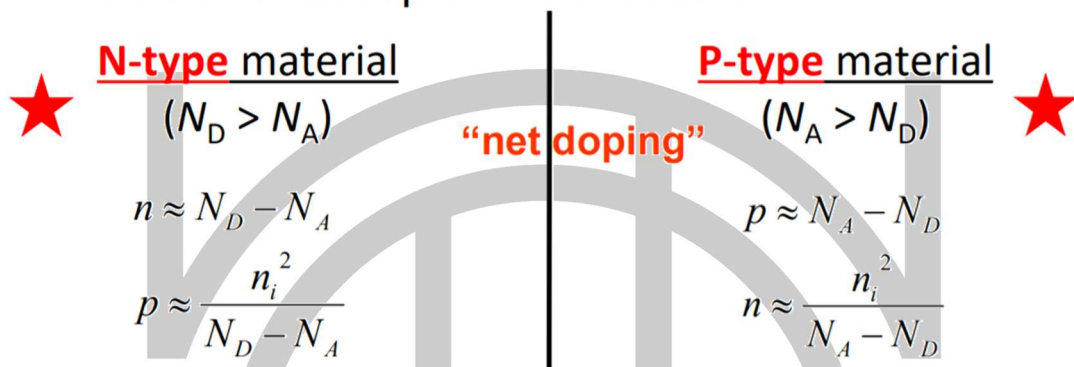
$$n = 10^5/\text{cm}^3$$

Counter-doping 反向掺杂

简而言之，面多了加水，水多了加面。

最终面团到底是稀的还是干的，看是面多还是水多罢了。

- An **N-type** semiconductor can be **converted** into **P-type** material by **counter-doping** it with acceptors such that $N_A > N_D$.
- A **compensated semiconductor material** has both acceptors and donors.



Week3 部分参考:

[1] <http://muchong.com/html/200908/1497776.html>

[2] 《固体物理学》(黄昆)

[3] <https://zhuatlan.zhihu.com/p/57998937>

[4] 《电子与电路设计》CN TK7867.S817 4

本来打算写到 week8，毕竟后面的光刻流程大家都是写过了 assignment 的人了想必个个都是专家。怎奈何我居然发烧了，浪费了一天半的时间。再加上没有复习周，这时间属实有点难顶了，所以后面看情况吧……

2021.6.2 醜坦

推荐使用支付宝



推荐使用微信支付



如果你乐意，投喂一下也是极好的。
恰烂钱谁不爱呢（不是）